

JTAGを用いたボードテスターの開発

Development of a Board Tester using JTAG

富田 信次，山本 研一，中森 仁義

Nobuji Tomita, Kenichi Yamamoto, Hitoyoshi Nakamori

要 旨 JTAG(バウンダリースキャン)テストを用いたボードテスターを開発した。DVDレコーダーとプラズマディスプレイの一部のユニットアセンブリに導入し、不具合検出力の向上や不具合箇所の特定が容易になり、修理時間の短縮が可能となった。

Summary We have developed a circuit board tester using the Boundary-Scan test also known as JTAG. The introduction of this circuit board to the unit assembly inspection process of DVD recorders and PDPs enabled us to shorten troubleshooting time by improving defect detection ability and by simplifying the determination of defective locations.

キーワード : JTAG ,バウダリスキャンテスト

1. まえがき

従来はアナログ主流であったAV製品においても、近年はデジタル化の波が急速に広がっている。アナログレコードからコンパクトディスク、ビデオテープからDVD-RW、アナログ放送からデジタル放送へと、メディアやコンテンツのデジタル化が急速に広まって来ている。

そのようなデジタル化に対応するために、製品の構造も様変わりし、狭ピッチQFPやBGAの使用が多くなってきている。この様な集積回路の実装により、基板内のレイアウトも様変わりし、BGAなどは従来の触針によるボードテストは困難な状況になってきている。

そこで、触針を使用せずにテストができるJTAGを用いたボードテスターを開発した。

2. JTAG(バウンダリースキャン)テストの解説

JTAG(バウンダリ-スキャン)テストとは、

集積回路のすべての外部入出力端子を、順次走査するようにテストデータの入出力を行なう方法で、基板上のデバイスがこのテスト法をサポートする必要がある。このテスト法を用いると、制御線を含めて最大5本の専用線のみでデバイス自身の検証をはじめ、外部ロジックとの接続検証などを行なえるようになる。このテスト法の特徴は、触針を使わずにICT(インサーキットテスト)と同等レベルの検査が行える点にある。したがって高密度実装基板の検査には大変に有効である。

バウンダリ-スキャン対応デバイスには、デバイス本来の機能を行なうための内部ロジックのほかに、四つのレジスタと、それらを制御するTAPコントローラによって構成されるテストロジックが内蔵される。TAPコントローラはTDI,TD0,TMS,TCK,TRSTの5本の信号線を持つ。

2.1 接続

実装基板のテスト(デバイス自身の機能

チェックやデバイス周辺の接続チェックなど)を行なうためには、実装基板上に存在する複数のバウンダリ - スキャン対応デバイスのTDIとTDOをシリアル接続(他の3本の信号線はパラレル接続)した回路構成になっている必要がある。基板上のデバイスの数やテストの種類などにかかわらず、5本の線を接続しておくことによりバウンダリ - スキャンテストが可能となる。上記による5本線の接続がICT方式では各デバイスの全ピンに対してテストプローブを接続したことに相当する。

2.2 実際のテスト

バウンダリースキャンを実行するには、バウンダリースキャンデバイスが搭載された実装基板と、TAPの5本の信号線を制御してバウンダリースキャンを実行するためのバウンダリースキャンコントローラおよびこれを制御するPCが必要となる。

2.3 動作

図1に検査機の構成を示す。デバイスの各ピンを介して内部ロジックへ入出力するデータは、必ずバウンダリ - スキャンセルを通過することになるため、これらのデータをバウンダリースキャンレジスタに取り込み、シフトを繰り返してTDOから出力したり、逆にTDIからバウンダリースキャンレジスタへシリアル入力したテストデータを、デバイスの各ピンへ出力することが可能となる。バウンダリー

スキャンテストでは、このような動作を行なうための命令(TAPコントローラに対する命令)や出力データのすべてをビット列として構成し、TDIへ送り出す。またテスト結果は、TDOから同じくビット列として出力されてくる。これらTDIとTDOとのシリアル転送データの入出力や、TMSやTCKを外部から制御しているのがバウンダリースキャンコントローラである。バウンダリースキャンコントローラは、PC用の周辺ボードあるいは外付けコントローラなどのタイプが市販されている。また、TDIへ送り込むビット列の作成や、TDOから返ってきたテスト結果のビット列を解析するソフトウェアが必要となる。

2.4 複合協調テスト

複合協調テストの様子を図2示す。当社で開発される実装基板は、JTAG_ICが多く含まれた単純なデジタル回路というものは少なく、デジタル回路とアナログ回路が混載したものが多。このような基板を検査しようとするとき、JTAG検査のみでは、検査のカバレッジが広がらず、未検査の部分が多く残ってしまう。そのためファンクションテストやセルフテストも行う必要があるが、これらのテストでは不良個所の解析までは行うことができない。JTAGテストとこれらのテストを協調させて実行させることで不良診断能力を上げることが可能である。当社ではこの手法を複合協調テストと呼んでいる。

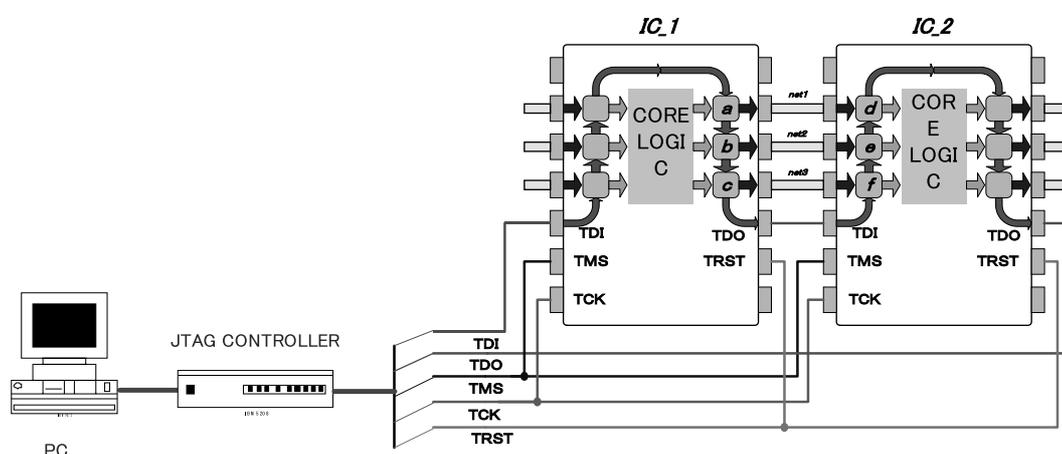


図1 検査機の構成

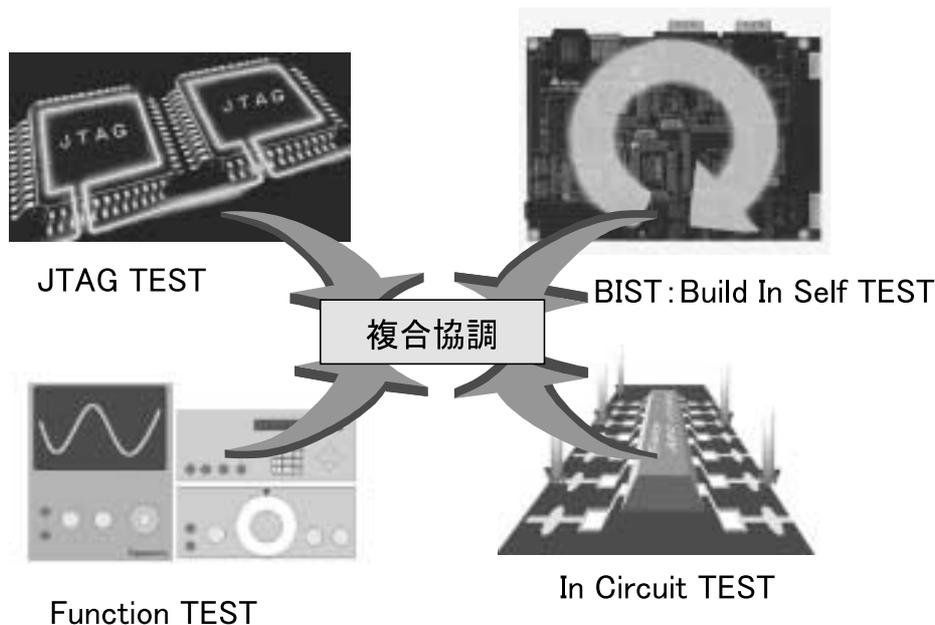


図 2 複合協調テストの一例

3. 事例紹介

現在、プラズマディスプレイとDVDレコーダーのボードテストにおいてJTAGを用いている。

以下にこれら2つのテスト内容についての紹介をする。

3.1 プラズマディスプレイでの事例

(1) 背景

プラズマディスプレイは、大規模で高密度実装の基板が使用されており、触針を使用したICTなどでは物理的に検査することが困難になってきた。また、テスター開発時間も従来以上となり、リードタイム短縮に逆行するようになってきている。

これらを解決する新しい検査手法としてJTAG(バウンダリスキャン)検査が必要となってきた。

(2) 目的

プラズマディスプレイのデジタルAss'yの検査は、製品を使用した実装チェックを行っていたが高密度実装基板であるため検査や修理に多くの時間を必要としていた。特に生産立上げ当初は、修理できないものも多く、大きな問題となっていた。これらの問題を解決するために

JTAGを利用した検査機を開発し、検査工数の低減および修理性の向上をめざすこととした。

(3) 対象Assy概要

図3に実際のデジタルAss'yの写真を、図4にその構成を示す。対象としたデジタルAss'yは「316×156」サイズの352ピンのBGAが2ケ、208,128,100ピンのQFPが各1ケずつが搭載された基板で、パネルの駆動信号を制御している回路ブロックである。

(4) 検査機構成

図5に検査機の外観を示す。図5から分かるように検査機は、

- ・汎用テスタ(PucWin パイオニア製)
- ・JTAGコントローラー(USB-TAP パイオニア製)
- ・JTAG治具(パイオニア製)

で構成されている。

(5) 特徴

インターコネクトテスト

デジタルAssyにはJTAG対応デバイスが2個しか搭載されていないため(図4参照)、このままではJTAGデバイス同士の一部の接続しか検査できない。幸いにBGAおよびQFPから外部接続用のコネクタに直接つながっている

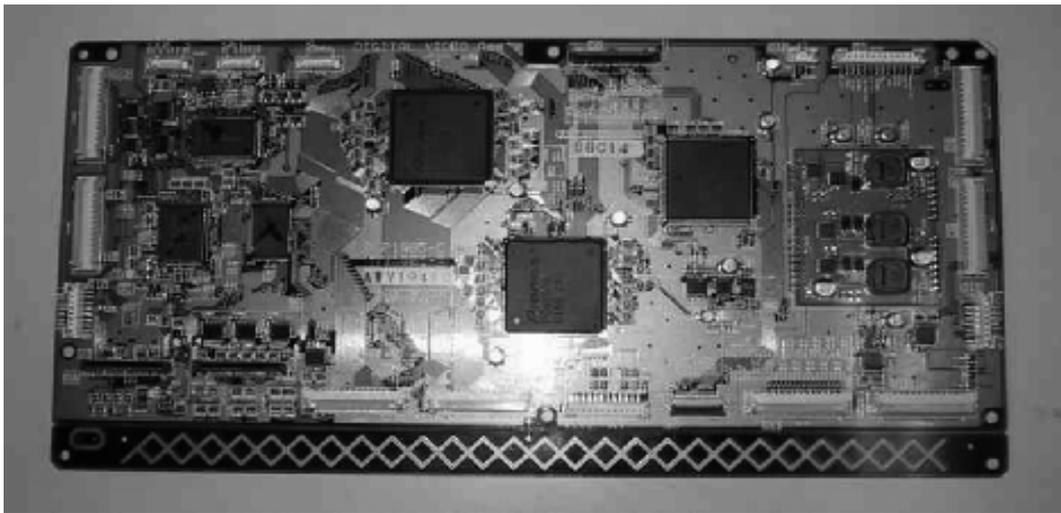


図 3 デジタル Ass'y

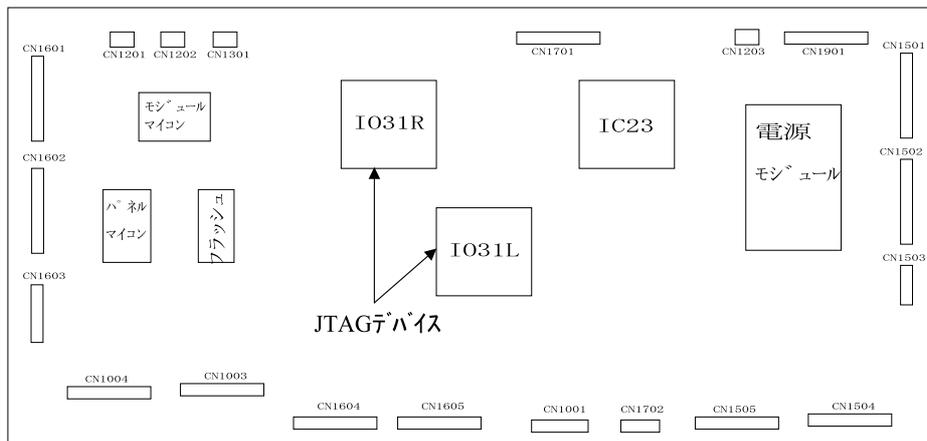


図 4 デジタル Ass'y の構成

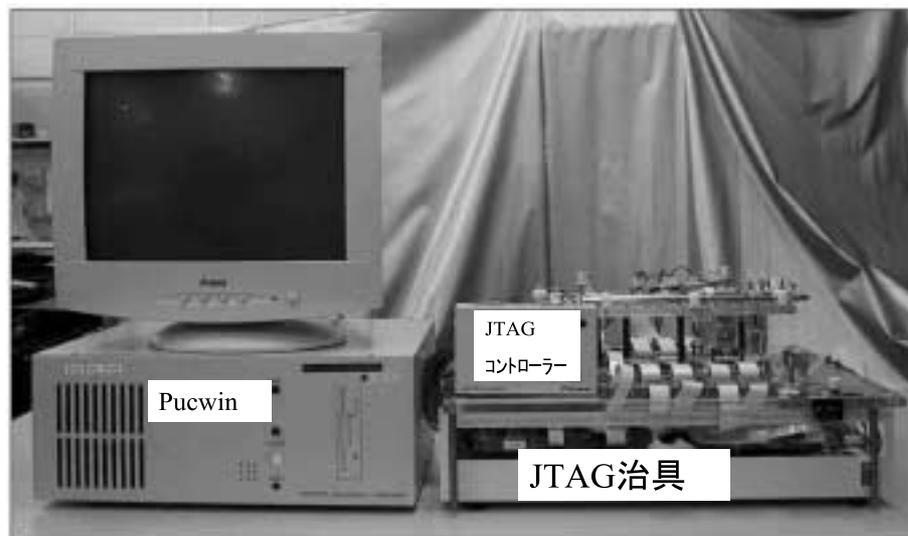


図 5 検査機の外観

部分が多数存在したため、この部分を利用して図6のように検査治具側にJTAG対応デバイスを搭載し、検査可能とした。

複合協調テスト

デジタルAssyにはマイコンが搭載されているが、上述のインターコネクト検査を充実させるため、検査治具設計当初より設計マイコン担当者が参画し、各種検査コマンドをマイコン

に盛りこんだ。このコマンドはRS232Cにより制御が可能で検査治具から容易に使用することができる。これによりJTAG非対応デバイスにおいても接合状態の検査が可能となった。複合協調テストの構成を図7に示す。

(6) 導入結果

表1に従来テスターとJTAGテスターとの各作業時間の比較を示す。表1から分かるよう

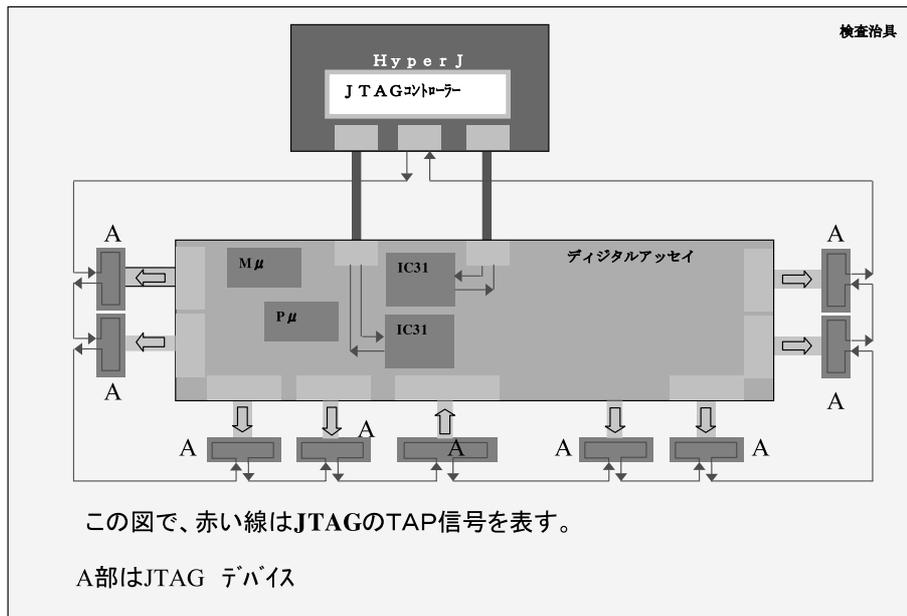


図6 JTAG部の構成

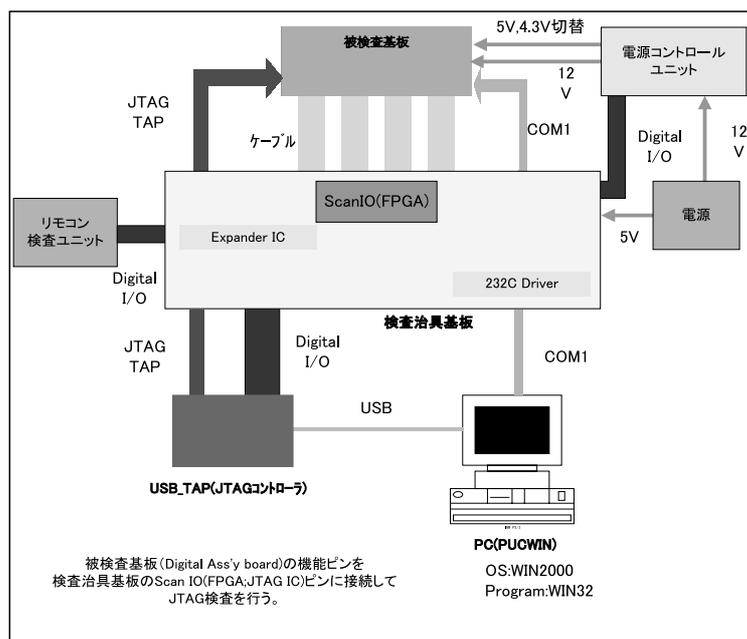


図7 複合協調テストの構成

表 1 従来テスターとJTAG テスターとの比較

	従来型テスター	JTAG テスター
検査時間	83 秒	53 秒
修理時間	30 分	10 分
装置コスト(指標)	100	56
BGA カバレッジ		94.3%(230/244)

に、検査にかかる時間、修理時間、さらにコスト面でも大きな効果を上げることができた。

3.2 DVDレコーダーでの事例

(1)背景

大規模な回路の基板や高密度実装の基板などの実装不良の検査として、外観検査やICTなどがよく使用される。しかし、BGAが搭載された基板などでは、これらの検査機で検査するのが困難になって来ている。このBGAの実装不良を発見する手法としてJTAG検査を使用した。

(2)目的

本検査機はDVD RecorderのMAIN Ass'yの不良修理ツールとして開発した。MAIN Ass'yは「120×100サイズ」に564ピンのBGA、240ピンのQFP、6個のSD-RAM他が搭載された基板である(図8)。このAss'yをICTで検査した場合は触針ランドの設置が困難なため、約10%程度しか検査することが出来ない。そこでJTAGテストを利用し、BGAの検査率を上げて不良個所の特定ができる検査を導入した。

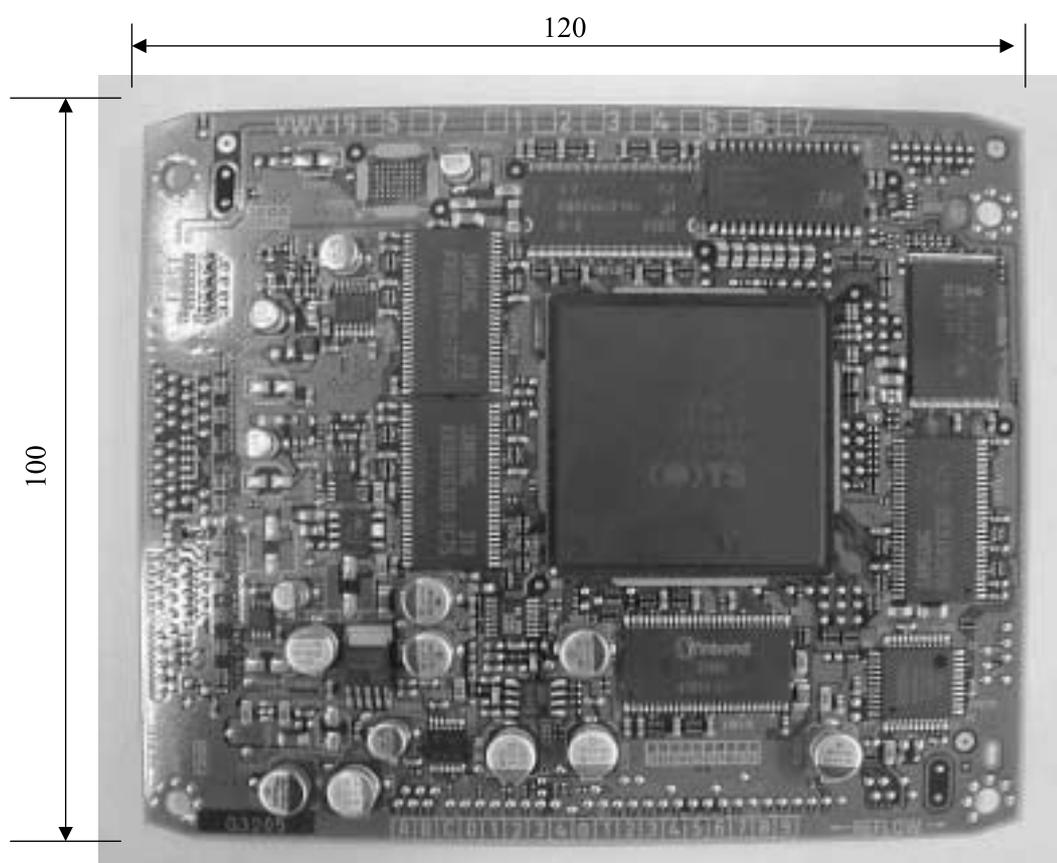


図 8 DVD Recorder MAIN Ass'y

(3) 検査機構成

図9に検査機の外観を示す。検査機的主要な構成は、

- ・汎用テスト(PucWin パイオニア製)
- ・JTAGコントローラー(USB-TAP パイオニア製)
- ・触針台(JTAGチェッカー パイオニア製)

である。

(4) 特徴

JTAGテスト

基板内にはJTAG対応デバイスが1個しか搭載されていないため(図10参照)、このままでは通常行うJTAGデバイス同士の接続テストが出来ない。しかし、BGAから外部接続用のコネクタに直接つながっている部分が多数存在したため、こ



図9 検査機外観

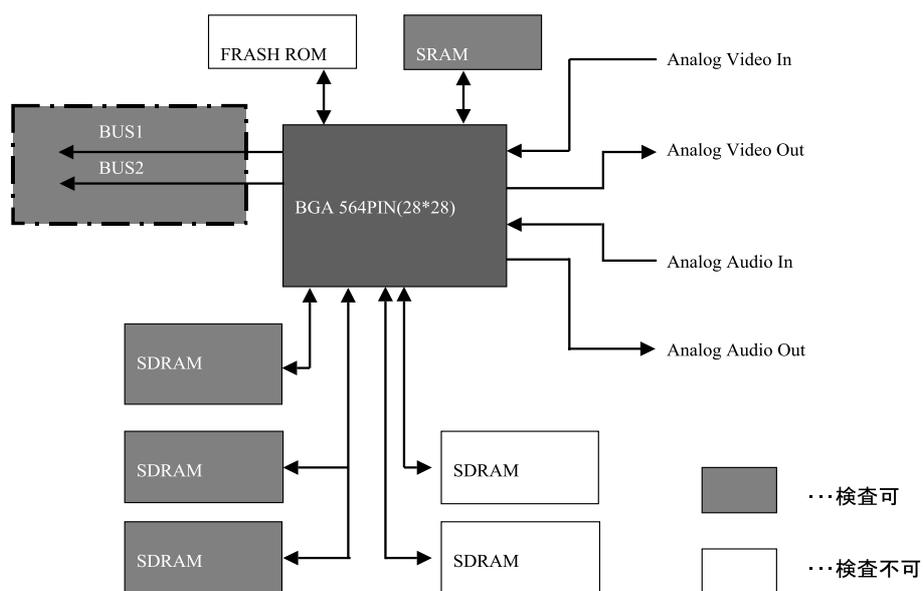


図10 ブロック図

の部分を利用して図 11 のように検査機側にも JTAG 対応デバイスを搭載し、検査可能とした。

メモリテスト

また、このデバイスに接続されているメモリ (SD-RAM) 関連は USB-TAP コントローラのアクセススピードでは JTAG としての接続テストが

出来ない。この部分をカバーするために、あらかじめ MPU に外部からメモリにアクセス出来るコマンドを用意し、このコマンドを利用して、不良診断を行った(図 12)。

このときに使用する検査のテストパターンは通常の JTAG のメモリテストと同様のパターン

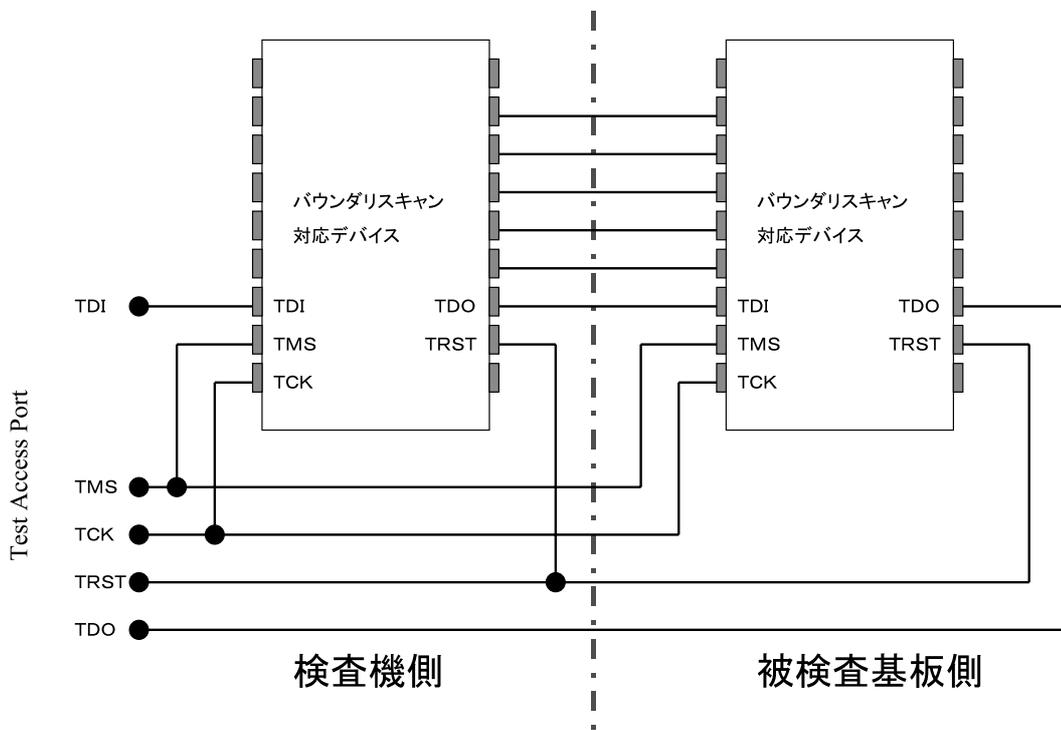


図 11 JTAGテストの接続

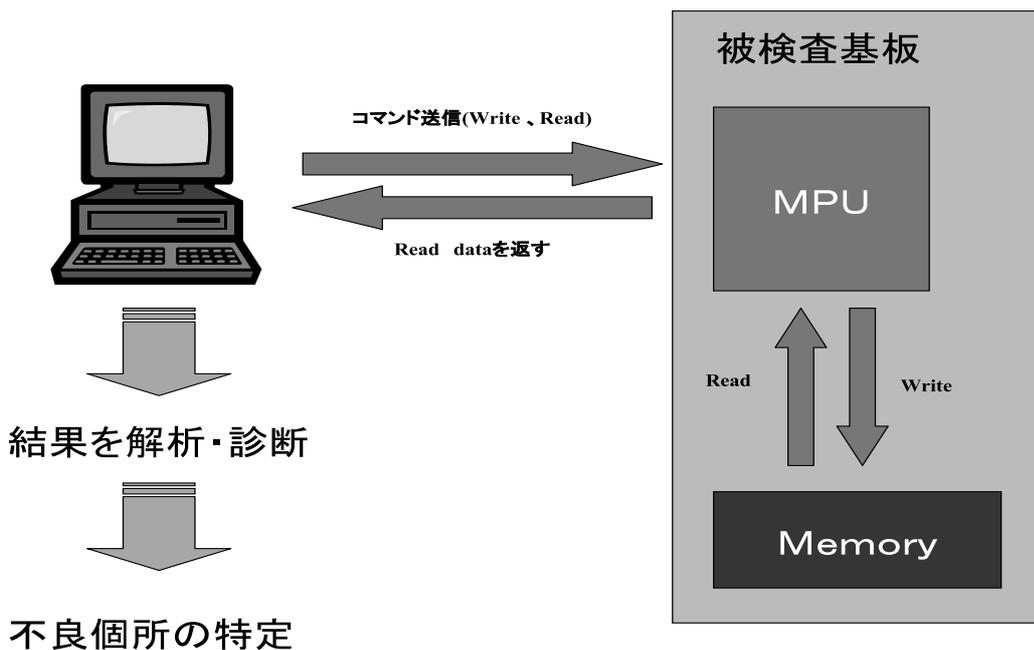


図 12 メモリテストの概要

をPucWinのMCGeneratorを利用して作成した。MCGeneratorはJTAGメモリクラステストに準拠したパターンを生成する。そのリストを図13に示す。

+ の検査での検査可否の割合を図14に示す。JTAGにこのメモリテストを加えることにより、BGA42%のピンの接続テストが可能になった。なお、残りの58%はJTAG非対応ピン(電源・GND)やメモリテストが出来ないSD-RAMまたは非JTAGデバイスに接続している部分である。

```

w, 0000, 0001
r, 0000, 0001
w, 0000, 0002
r, 0000, 0002
w, 0000, 0004
r, 0000, 0004
w, 0000, 0008
r, 0000, 0008
w, 0000, 0010
r, 0000, 0010
w, 0000, 0020
r, 0000, 0020
w, 0000, 0040
r, 0000, 0040
w, 0000, 0080
r, 0000, 0080
.
.
.
w, ffff, ffff
r, ffff, ffff
w, 0000, ffff
r, 0000, ffff
w, ff00, ffff
r, ff00, ffff
w, f0f0, ffff
r, f0f0, ffff
w, cccc, ffff
r, cccc, ffff
w, aaaa, ffff
r, aaaa, ffff
.
.
.

```

図13 MCGenerator出力リスト

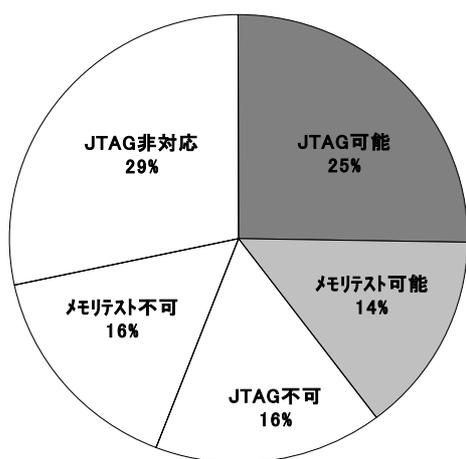


図14 検査可否の割合

(5) 導入の効果

この検査を導入することにより、不良箇所が

特定出来、修理に掛かる工数を低減出来る。また、特定出来ない場合でも正常動作部分の保証が出来るので、その後の不良解析の際にある程度の絞り込みが出来る。

4. まとめ

汎用テストのPucWinを使用したJTAGテストを導入することで、検査時間の短縮や検査機の導入コストを押さえることが出来た。さらに、検査領域の拡大と不良発生時の解析時間の短縮にも効果を上げることができた。

高密度化が進む現在、JTAGテストならびに複合強調テストは不可欠になりつつある。しかし、このテストをおこなうにはボードに実装されるデバイスにJTAGを対応しなければいけない。現在、対応デバイスはまだまだ数が少なく、テストを実施できるボードも限られている。今後、デバイスでの対応が進み、JTAGテストの採用が進んでいくことを希望する。

5. 謝辞

本開発のために協力頂いたビデオ技術統括部(ビデオ設計部、ビデオ開発部)ならびにディスプレイ事業統括部技術統括部に感謝します。

筆者

富田 信次 (とみた のぶじ)

所属：技術生産統括部 生産技術センター
 入社年月：1991年4月
 主な経歴：ICの回路設計・検査業務を経て、
 現在検査技術の開発に従事。

山本 研一 (やまもと けんいち)

所属：パイオニアディスプレイプロダクト
 ディスプレイ生産技術部生産技術1課
 入社年月：1978年4月
 主な経歴：PTV、PDP等映像製品の治工具設計

中森 仁義 (なかもり ひとよし)

所属：HEC生産部生産技術部
 入社年月：1993年4月
 主な経歴：LD、DVD製品の生産設備開発設計